

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s):	Kazuyuki Yamashita	Examiner:	Unassigned
Serial No:	To be assigned	Art Unit:	Unassigned
Filed:	Herewith	Docket:	16810
For:	DATA PROCESSOR, SEMICONDUCTOR MEMORY DEVICE AND CLOCK FREQUENCY DETECTING METHOD		Dated: July 11, 2003


Commissioner for Patents
Alexandria, VA 23313-1450

CLAIM OF PRIORITY

Sir:

Applicant in the above-identified application hereby claims the right of priority in connection with Title 35 U.S.C. § 119 and in support thereof, submits herewith a certified copy of Japanese Patent Application No. 2002-07174, filed on July 16, 2002.

Respectfully submitted,


Paul J. Esatto, Jr.
Registration No.: 30,749

Scully, Scott, Murphy & Presser
400 Garden City Plaza
Garden City, New York 11530
(516) 742-4343

CERTIFICATE OF MAILING BY "EXPRESS MAIL"

Express Mailing Label No.: EV185861672US

Date of Deposit: July 11, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 C.F.R. § 1.10 on the date indicated above and is addressed to the Commissioner for Patents, Alexandria, VA 22313-1450.

Dated:



Paul J. Esatto, Jr.

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月16日

出 願 番 号

Application Number:

特願2002-207174

[ST.10/C]:

[JP2002-207174]

出 願 人

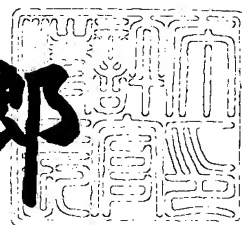
Applicant(s):

エヌイーシーマイクロシステム株式会社

2003年 6月19日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3047969

【書類名】 特許願

【整理番号】 01211781

【提出日】 平成14年 7月16日

【あて先】 特許庁長官 殿

【国際特許分類】 G01R 23/15

【発明者】

【住所又は居所】 神奈川県川崎市中原区小杉町1丁目403番53 エヌ
イーシーマイクロシステム株式会社内

【氏名】 山下 和幸

【特許出願人】

【識別番号】 000232036

【氏名又は名称】 エヌイーシーマイクロシステム株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9712889

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ処理装置、半導体記憶装置及びクロック周波数検出方法

【特許請求の範囲】

【請求項 1】 ビット線に対するプリチャージ終了時に前記ビット線の電位を検出し、該ビット線の電位が所定の電位に到達しているか否かで前記プリチャージの期間が所定の期間内であるか否かを判別するプリチャージ期間検出回路を備えた半導体記憶装置と、

前記プリチャージの期間が所定の期間外である場合に CPU の動作をリセットさせる制御回路と、

を有するデータ処理装置。

【請求項 2】 前記プリチャージ期間検出回路は、

前記プリチャージ終了時のビット線の電位が所定の電位に到達しているか否かに応じて出力信号を切り換える、前記プリチャージ期間の終了時のタイミングで前記ビット線の電位をそれぞれ保持する複数のラッチ回路と、

前記複数のラッチ回路の出力信号の論理和を演算し、該演算結果をエラー検出信号として出力する論理回路と、

を有する請求項 1 記載のデータ処理装置。

【請求項 3】 データの読み出し時にビット線に対するプリチャージを必要とする半導体記憶装置であって、

前記ビット線に対するプリチャージ終了時に該ビット線の電位を検出し、該ビット線の電位が所定の電位に到達しているか否かで前記プリチャージの期間が所定の期間内であるか否かを判別するプリチャージ期間検出回路を有する半導体記憶装置。

【請求項 4】 前記プリチャージ期間検出回路は、

前記プリチャージ終了時のビット線の電位が所定の電位に到達しているか否かに応じて出力信号を切り換える、前記プリチャージ期間の終了時のタイミングで前記ビット線の電位をそれぞれ保持する複数のラッチ回路と、

前記複数のラッチ回路の出力信号の論理和を演算し、該演算結果をエラー検出信号として出力する論理回路と、

を有する請求項 3 記載の半導体記憶装置。

【請求項 5】 データの読み出し時にビット線に対するプリチャージを必要とする半導体記憶装置を備えたデータ処理装置に、外部から供給されるクロックの周波数が所定の範囲内にあるか否かを検出するためのクロック周波数検出方法であって、

前記プリチャージの終了時に該ビット線の電位を検出し、

該ビット線の電位が所定の電位に到達しているか否かで前記プリチャージの期間が所定の期間内であるか否かを判別し、

前記プリチャージの期間が所定の期間外である場合に CPU の動作をリセットするクロック周波数検出方法。

【請求項 6】 前記プリチャージの終了時のタイミングで前記ビット線の電位をそれぞれ保持し、

保持した電位の論理和を演算し、

該演算結果をエラー検出信号として出力する請求項 5 記載のクロック周波数検出方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、データ処理装置に関し、特にデータの読み出し時にプリチャージが必要な半導体記憶装置を備えたデータ処理装置に関する。

【 0 0 0 2 】

【従来の技術】

マイクロコンピュータ等のデータ処理装置は、所定の周波数範囲内にあるクロックに同期して動作するため、クロックの周波数が大きくずれた場合に誤動作するおそれがある。そこで、クロックの周波数が所定の範囲内に収まっているか否かを判定する周波数判定回路を備え、クロックの周波数がずれた場合に CPU の動作をリセットして誤動作を防止するための構成が、例えば特開 2 0 0 2 - 5 5 1 3 0 号公報に開示されている。

【 0 0 0 3 】

特開 2 0 0 2 - 5 5 1 3 0 号公報に記載されたデータ処理装置では、外部から供給されるクロックの変化タイミング毎に充電・放電を繰り返すキャパシタ C 及び抵抗器 R から成る周波数検出回路を備え、クロックの一周期以内に充電または放電が完了しない場合に（クロックの周波数が高い）エラー検出信号を出力する構成が記載されている。

【 0 0 0 4 】

【発明が解決しようとする課題】

しかしながら上記したような従来のデータ処理装置では、周波数検出回路がキャパシタ C 及び抵抗器 R で構成されているため、電源電圧、周囲温度、製造バラツキ等により検出特性が変化し、クロック周波数が所定の周波数を超えているか否かを正確に判定することが困難であるという問題があった。また、出荷後の使用条件によって周波数検出回路の検出特性が変化してしまう問題もあった。

【 0 0 0 5 】

さらに、キャパシタ C 及び抵抗器 R を用いることで周波数検出回路のレイアウト面積が大きくなり、データ処理装置を 1 チップで構成する場合に、チップ面積が増大する問題もある。

【 0 0 0 6 】

本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、レイアウト面積の増大を抑制しつつ、電源電圧、周囲温度、製造バラツキ等によるクロック周波数の検出性能の変化による影響を低減したデータ処理装置を提供することを目的とする。

【 0 0 0 7 】

【課題を解決するための手段】

上記目的を達成するため本発明のデータ処理装置は、ビット線に対するプリチャージ終了時に前記ビット線の電位を検出し、該ビット線の電位が所定の電位に到達しているか否かで前記プリチャージの期間が所定の期間内であるか否かを判別するプリチャージ期間検出回路を備えた半導体記憶装置と、

前記プリチャージの期間が所定の期間外である場合に C P U の動作をリセットさせる制御回路と、

を有する構成であり、

前記プリチャージ期間検出回路は、

前記プリチャージ終了時のビット線の電位が所定の電位に到達しているか否かに応じて出力信号を切り換える、前記プリチャージ期間の終了時のタイミングで前記ビット線の電位をそれぞれ保持する複数のラッチ回路と、

前記複数のラッチ回路の出力信号の論理和を演算し、該演算結果をエラー検出信号として出力する論理回路と、

を有する構成である。

【 0 0 0 8 】

また、本発明の半導体記憶装置は、データの読み出し時にビット線に対するプリチャージを必要とする半導体記憶装置であって、

前記ビット線に対するプリチャージ終了時に該ビット線の電位を検出し、該ビット線の電位が所定の電位に到達しているか否かで前記プリチャージの期間が所定の期間内であるか否かを判別するプリチャージ期間検出回路を有する構成であり、

前記プリチャージ期間検出回路は、

前記プリチャージ終了時のビット線の電位が所定の電位に到達しているか否かに応じて出力信号を切り換える、前記プリチャージ期間の終了時のタイミングで前記ビット線の電位をそれぞれ保持する複数のラッチ回路と、

前記複数のラッチ回路の出力信号の論理和を演算し、該演算結果をエラー検出信号として出力する論理回路と、

を有する構成である。

【 0 0 0 9 】

また、本発明のクロック周波数検出方法は、データの読み出し時にビット線に対するプリチャージを必要とする半導体記憶装置を備えたデータ処理装置に、外部から供給されるクロックの周波数が所定の範囲内にあるか否かを検出するためのクロック周波数検出方法であって、

前記プリチャージの終了時に該ビット線の電位を検出し、

該ビット線の電位が所定の電位に到達しているか否かで前記プリチャージの期

間が所定の期間内であるか否かを判別し、

前記プリチャージの期間が所定の期間外である場合にCPUの動作をリセットする方法であり、

前記プリチャージの終了時のタイミングで前記ビット線の電位をそれぞれ保持し、

保持した電位の論理和を演算し、

該演算結果をエラー検出信号として出力する方法である。

【0010】

上記のようなデータ処理装置、半導体記憶装置及びクロック周波数検出方法では、プリチャージの終了時にビット線の電位を検出し、該ビット線の電位が所定の電位に到達しているか否かでプリチャージの期間が所定の期間内であるか否かを判別することで、既存の半導体記憶装置に、ビット線毎に対応するラッチ回路と論理回路とを追加するだけで外部から供給されるクロックの周波数異常を検出できる。

【0011】

また、半導体記憶装置のプリチャージ期間を監視することで外部から供給されるクロックの周波数異常を検出するため、半導体記憶装置からデータを読み出すことができる周波数限界が異常であるか否かを判定するための判定周波数となる。

【0012】

【発明の実施の形態】

次に本発明について図面を参照して説明する。

【0013】

データ処理装置には、通常、CPUで処理されるデータやCPUに所定の処理を実行させるためのプログラム等を保存する半導体記憶装置を備えている。

【0014】

一般に、半導体記憶装置においては、データの読み出し時に、まず読み出しアドレスに対応するビット線をプリチャージして電荷を蓄積し、その後、該アドレスに対応するワード線に所定の電圧を印加する。ここで、所定電圧の印加によっ

て選択されるワード線に繋がるメモリセルトランジスタがON状態である場合は、そのメモリセルトランジスタのソース・ドレインを通して接地電位へ電流が流れ、ビット線の電位はプリチャージで蓄積された電荷が放電（ディスチャージ）されて接地電位になる。一方、選択されたワード線に繋がるメモリセルトランジスタがOFF状態である場合は、メモリセルトランジスタのソース・ドレイン間に電流が流れないため、ビット線にプリチャージされた電荷がそのまま保持される。このときのビット線電位をそれぞれセンスアンプで検出することで、メモリセルから読み出したデータが“1”であるか“0”であるかを判別する。

【0015】

上記ビット線のプリチャージ動作は外部から供給されるクロックに同期して制御され、ビット線を所定の電位（以下、プリチャージ電位と称す）にプリチャージするためには所定の期間が必要である。プリチャージの期間が所定の期間よりも短く、ビット線をプリチャージ電位に設定できない場合はディスチャージの期間がいくら長くても正しくデータを読み出すことができない。

【0016】

本発明のデータ処理装置は、半導体記憶装置のプリチャージ期間を検出し、プリチャージ期間が短い場合にクロック周波数が異常であると判断してエラー検出信号を出力する構成である。

【0017】

図1は本発明のデータ処理装置が有する半導体記憶装置の構成を示すブロック図であり、図2は図1に示した半導体記憶装置が有するプリチャージ期間検出回路の構成を示す回路図である。

【0018】

図1に示すように、本実施形態の半導体記憶装置は、データを格納する複数のメモリセルから構成されたメモリセルアレイ1と、データの書き込み／読み出しを行うメモリセルにアクセスするための行アドレスをデコードするXデコーダ2と、メモリセルに格納されたデータを読み出すための不図示のセンスアンプを備え、データの書き込み／読み出しを行うメモリセルにアクセスするための列アドレスをデコードする不図示のYデコーダのデコード結果にしたがってセンスアン

プの出力をON/OFFする複数のYセクタ3と、メモリセルアレイ1に書き込むデータ、及びメモリセルアレイ1から読み出されたデータを一時的に保持する出力回路4と、プリチャージ時のビット線電位を検出することでプリチャージ期間の異常の発生有無を判別するプリチャージ期間検出回路5とを有する構成である。出力回路4は、データバス6に接続され、データバス6を介してメモリセルアレイ1への書き込みデータ及びメモリセルアレイ1からの読み出しデータを不図示のCPU等との間で送受信する。

【0019】

なお、メモリセルアレイに対するデータの書き込み動作及びメモリセルアレイからのデータの読み出し動作は不図示のモード制御回路によって制御される。また、ビット線に対するプリチャージ動作及びディスチャージ動作はモード制御回路から送出されるプリチャージ信号PRE BにしたがってYセクタ3で実行される。

【0020】

図2に示すように、プリチャージ期間検出回路5は、プリチャージ期間の終了タイミングでビット線の電位をそれぞれ保持する複数のラッチ回路51と、全ラッチ回路51の出力信号の論理和を演算する論理回路52とを有する構成である。

【0021】

ラッチ回路51は、上記プリチャージ信号PRE Bの立ち上がり（または立ち下がり）に同期してビット線の電位をそれぞれ保持して出力し、制御回路から供給されるリセット信号RES Bが“Low”のときに出力信号をリセットする。ラッチ回路51は、ビット線の電位が所定のプリチャージ電位に到達している場合は“High”を出力し、ビット線の電位が所定のプリチャージ電位に到達していない場合は“Low”を出力する。

【0022】

論理回路52は、ラッチ回路51のいずれかで“Low”が出力された場合に出力信号を“High”にする構成であり、該信号はCPUの動作をリセットするためのエラー検出信号として用いられる。なお、論理回路52は、ラッチ回路

5 1 のいずれかでビット線がプリチャージ電位へ到達しないことが検出された場合にエラー検出信号として“H i g h”または“L o w”を出力する回路であればよく、ラッチ回路の 5 1 の出力論理に応じてNORゲートやNANDゲート等が用いられる。

【 0 0 2 3 】

本発明のデータ処理装置は、図 1 に示した半導体記憶装置と、該半導体記憶装置から出力されるエラー検出信号を受信する不図示の制御回路とを有し、制御回路は、半導体記憶装置からエラー検出信号を受信すると、CPUの動作をリセットするためのリセット信号を出力する。

【 0 0 2 4 】

このような構成において、次に本発明のデータ処理装置の動作について図面を用いて説明する。

【 0 0 2 5 】

図 3 は図 1 に示した半導体記憶装置の通常動作時のデータ読み出し動作を示すタイミングチャートであり、図 4 は図 1 に示した半導体記憶装置のデータ読み出し時におけるエラー検出動作を示すタイミングチャートである。なお、図 3、4 に示すc p u c l kは、例えば、本発明のデータ処理装置を 1 つの半導体集積回路装置で構成した場合に、外部から供給されるクロック（外部クロック）に基づいて半導体集積回路装置内で生成され、CPU、タイマー、メモリ、制御回路等に供給される基本クロックである。

【 0 0 2 6 】

図 3 に示すように、半導体記憶装置からデータを読み出す場合、ビット線のプリチャージ動作は、プリチャージ信号PRE Bの立ち下がりに同期して開始され、ビット線の電位はプリチャージ信号PRE Bが次に立ち上がるまでに所定のプリチャージ電位へ到達する。

【 0 0 2 7 】

一方、ビット線のディスチャージ動作は、プリチャージ信号PRE Bの立ち上がりに同期して開始され、ビット線の電位はプリチャージ信号PRE Bが次に立ち下がるまでに所定の電位へ到達する。ここで、選択されたワード線に繋が

るメモリセルトランジスタがON状態のときはビット線が接地電位へ移行し、メモリセルトランジスタがOFF状態のときはビット線がプリチャージ電位で保持される。

【 0 0 2 8 】

センスアンプは、ビット線のディスチャージが終了し、次のプリチャージを開始する（プリチャージ信号PRE Bが立ち下がり）直前のビット線電位を検出することでデータの値を判定する。例えば、ビット線電位が接地電位のときは出力データを“1”と判定し、ビット線電位がプリチャージの電位のときは出力データを“0”と判定する。

【 0 0 2 9 】

プリチャージ期間検出回路5が有するラッチ回路51は、プリチャージ期間の終了タイミング（プリチャージ信号PRE Bの立ち上がり）でビット線の電位をそれぞれ保持する。図3に示すように、外部から供給されるクロック（外部クロック）の周波数が所定の範囲内にある場合、プリチャージ期間の終了時には、ビット線の電位が所定のプリチャージ電位まで到達しているため、各ラッチ回路51からは“High”が出力され、論理回路52からはエラー検出信号として“Low”が出力される。

【 0 0 3 0 】

一方、図4に示すように、半導体記憶装置に供給されるクロック周波数が所定の範囲よりも高い場合は（クロック周期が短くなった場合）、上記と同様にプリチャージ信号PRE Bの立ち下がりによってビット線のプリチャージが開始されるが、ビット線が所定のプリチャージ電位へ到達する前にプリチャージ信号PRE Bが立ち上がりビット線のディスチャージ動作が開始される。

【 0 0 3 1 】

この場合、該ビット線の電位を保持するラッチ回路51は、ビット線の電位が所定のプリチャージ電位まで到達していないために出力信号を“Low”で保持し、論理回路52からはエラー検出信号として“High”が出力される。

【 0 0 3 2 】

エラー検出信号は、ビット線の電位が所定のプリチャージ電位へ到達すること

で、次にラッチ回路 51 から “H i g h” が出力されるまで “H i g h” で保持される。

【 0 0 3 3 】

したがって、本発明のデータ処理装置及びクロック周波数検出方法によれば、既存の半導体記憶装置に、ビット線の電位を保持するラッチ回路と簡単な論理回路とを追加するだけで外部から供給されるクロックの周波数異常を検出できるため、従来のキャパシタ C 及び抵抗器 R で構成される周波数検出回路に比べてレイアウト面積の増大を抑制することができる。

【 0 0 3 4 】

また、本発明では、半導体記憶装置のプリチャージ期間を監視することで外部から供給されるクロックの周波数異常を検出するため、半導体記憶装置からデータを読み出すことができる周波数限界が異常であるか否かを判定するための判定周波数となる。そのため、データ処理装置の動作周波数の実力と判定周波数とは、電源電圧、周囲温度、製造ばらつき等があっても同じような特性で変化し、データ処理装置の動作周波数の実力に合わせてプリチャージ期間検出回路の特性を調整する必要がない。よって、プリチャージ期間検出回路の特性を調整するための調整工程が不要であるためデータ処理装置のコストの増大が抑制される。

【 0 0 3 5 】

【発明の効果】

本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【 0 0 3 6 】

プリチャージの終了時にビット線の電位を検出し、該ビット線の電位が所定の電位に到達しているか否かでプリチャージの期間が所定の期間内であるか否かを判別することで、既存の半導体記憶装置に、ビット線毎に対応するラッチ回路と論理回路とを追加するだけで外部から供給されるクロックの周波数異常を検出できるため、従来のキャパシタ及び抵抗器で構成される周波数検出回路に比べてレイアウト面積の増大を抑制することができる。

【 0 0 3 7 】

また、半導体記憶装置のプリチャージ期間を監視することで外部から供給されるクロックの周波数異常を検出するため、半導体記憶装置からデータを読み出すことができる周波数限界が異常であるか否かを判定するための判定周波数となる。

【 0 0 3 8 】

したがって、データ処理装置や半導体記憶装置の動作周波数の実力と判定周波数とは、電源電圧、周囲温度、製造ばらつき等があっても同じような特性で変化するため、動作周波数の実力に応じてプリチャージ期間検出回路の特性を調整する必要がない。よって、プリチャージ期間検出回路の特性を調整するための調整工程が不要であるためデータ処理装置のコストの増大が抑制される。

【図面の簡単な説明】

【図 1】

本発明のデータ処理装置が有する半導体記憶装置の構成を示すブロック図である。

【図 2】

図 1 に示した半導体記憶装置が有するプリチャージ期間検出回路の構成を示す回路図である。

【図 3】

図 1 に示した半導体記憶装置の通常動作時のデータ読み出し動作を示すタイミングチャートである。

【図 4】

図 1 に示した半導体記憶装置のデータ読み出し時におけるエラー検出動作を示すタイミングチャートである。

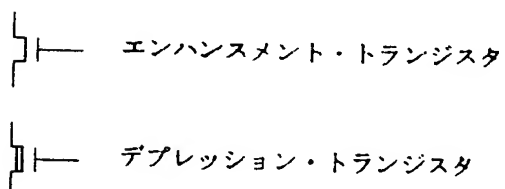
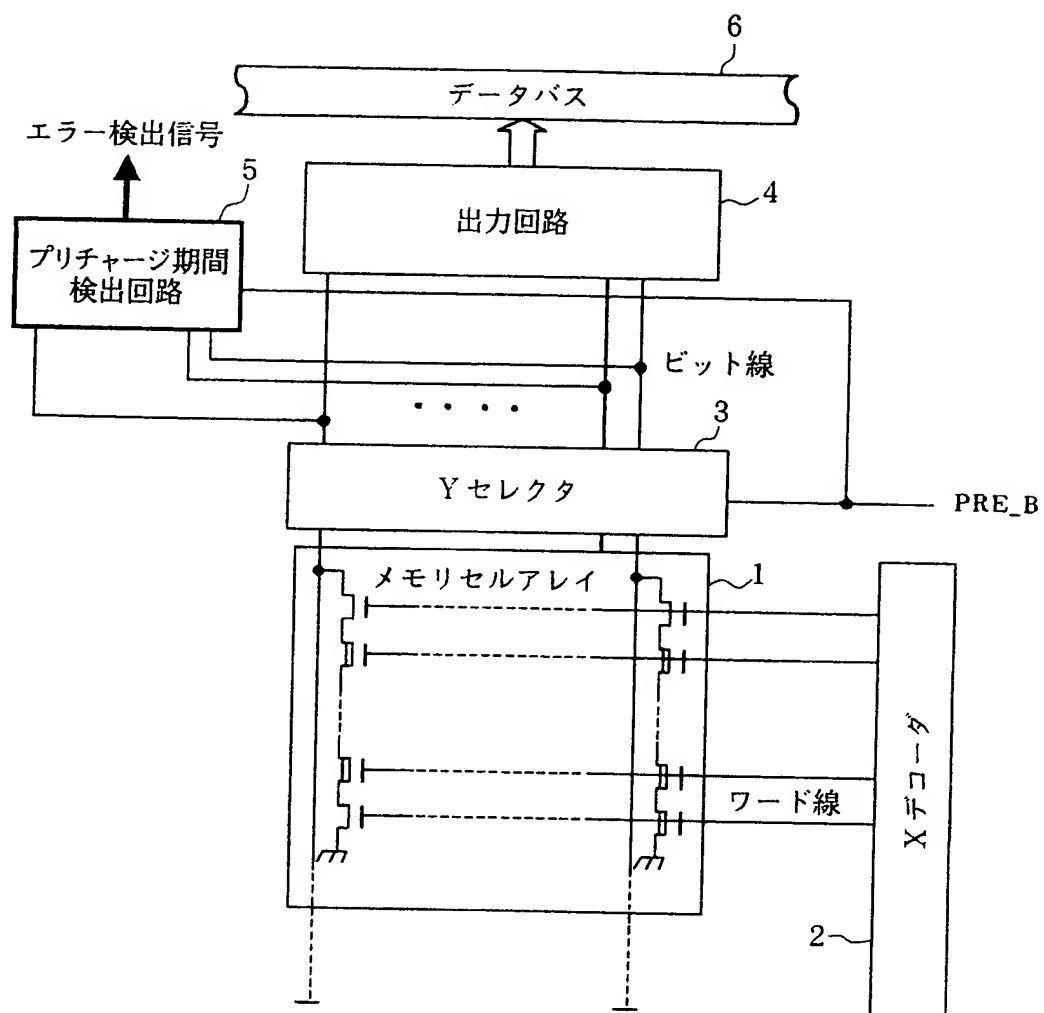
【符号の説明】

- 1 メモリセルアレイ
- 2 Xデコーダ
- 3 Yセレクト
- 4 出力回路
- 5 プリチャージ期間検出回路

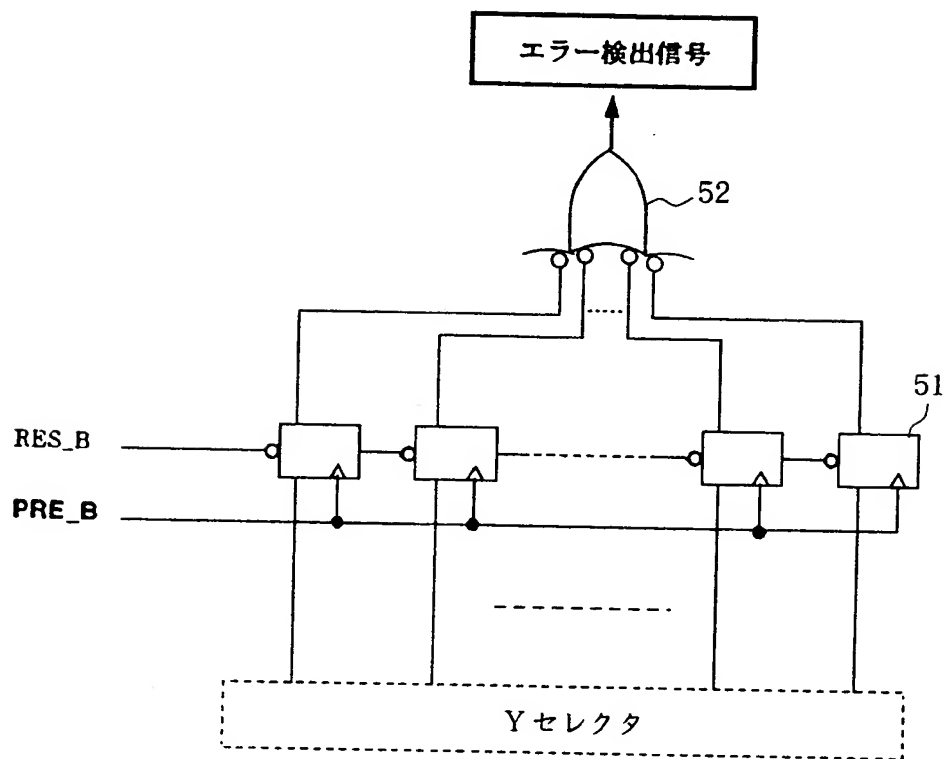
- 6 データバス
- 5 1 ラッチ回路
- 5 2 論理回路

【書類名】 図面

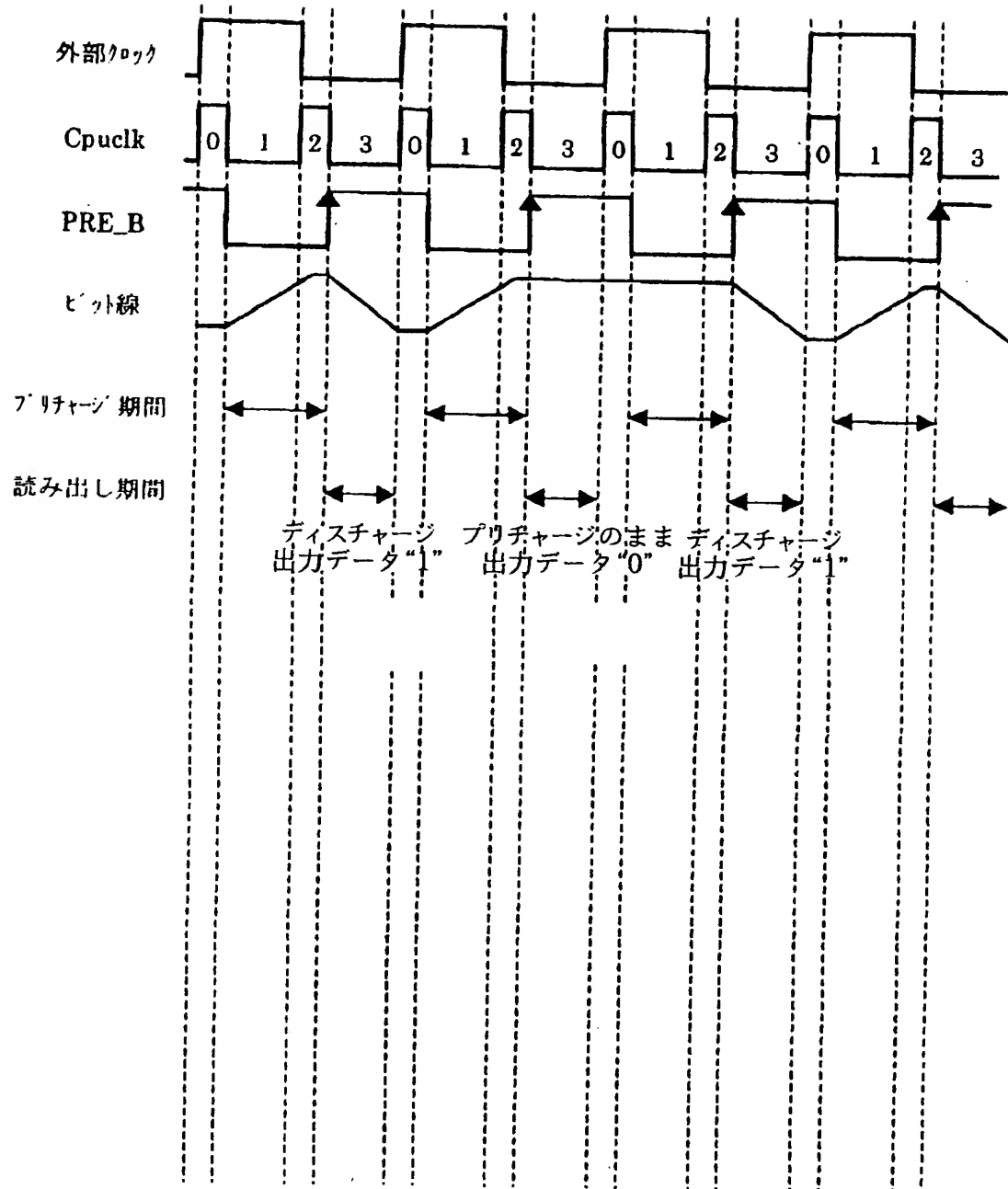
【図 1】



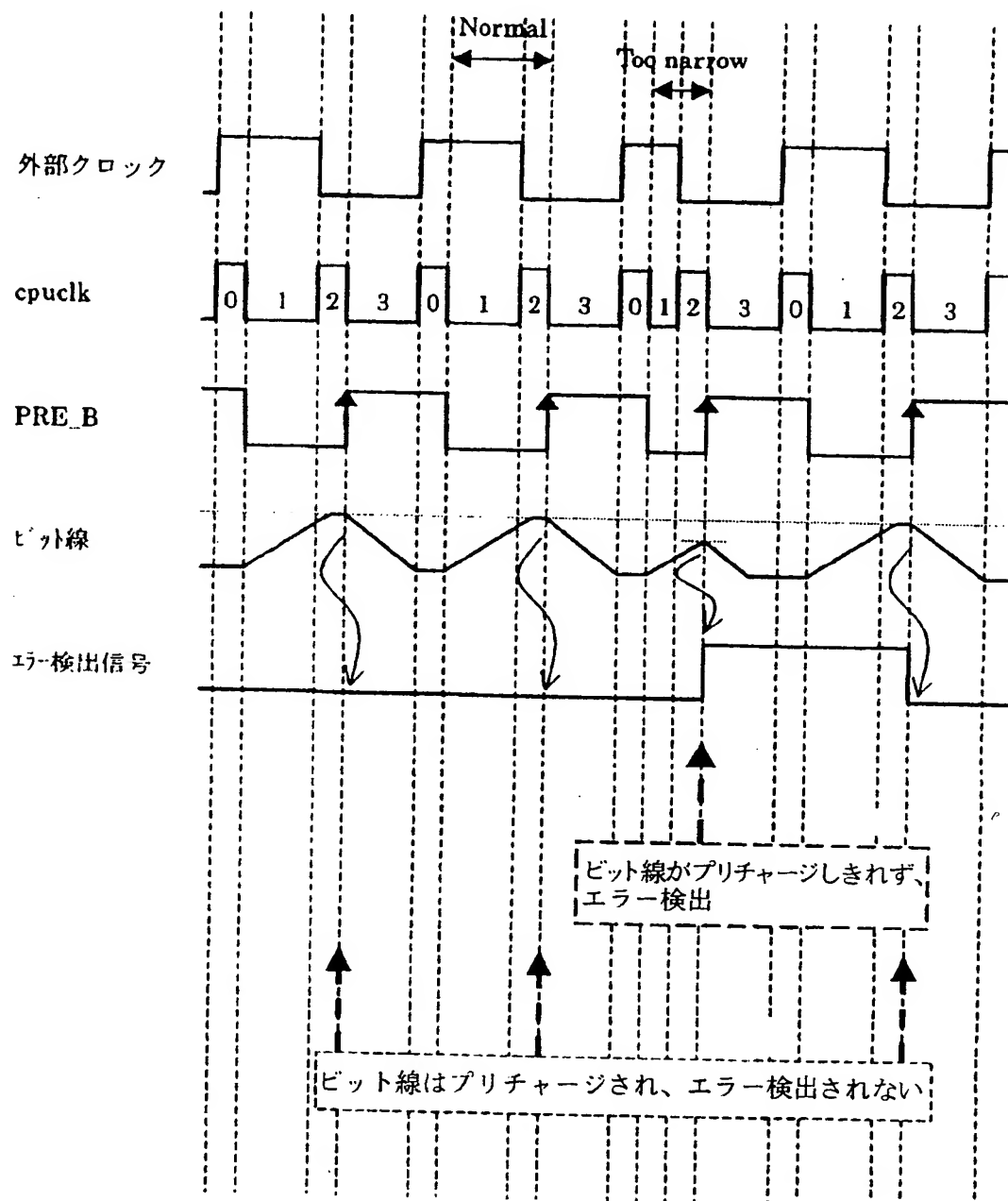
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 レイアウト面積の増大を抑制しつつ、電源電圧、周囲温度、製造バラツキ等によるクロック周波数の検出性能の変化による影響を低減したデータ処理装置を提供する。

【解決手段】 ビット線に対するプリチャージ終了時に前記ビット線の電位を検出し、該ビット線の電位が所定の電位に到達しているか否かでプリチャージの期間が所定の期間内であるか否かを判別するプリチャージ期間検出回路を備えた半導体記憶装置と、プリチャージの期間が所定の期間外である場合にCPUの動作をリセットさせる制御回路とを有する構成とする。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 〔000232036〕

1. 変更年月日	2001年 5月21日
[変更理由]	名称変更
住 所	神奈川県川崎市中原区小杉町1丁目403番53
氏 名	エヌイーシーマイクロシステム株式会社